

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326199
 (43)Date of publication of application : 08.12.1998

(51)Int.CI. G06F 11/18
 G05B 9/03
 G05B 19/05
 G06F 9/46
 G06F 15/16

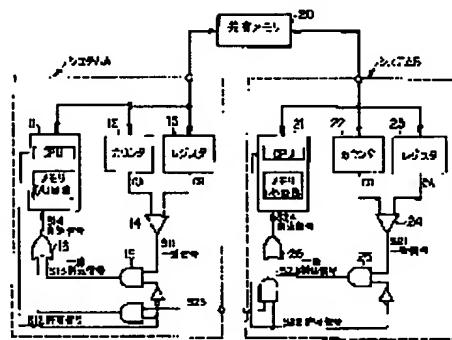
(21)Application number : 09-137054 (71)Applicant : YASKAWA ELECTRIC CORP
 (22)Date of filing : 27.05.1997 (72)Inventor : IKEDA MASANORI

(54) INTERRUPTION SYNCHRONIZING DEVICE IN DUAL SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a program from being complicated, to prevent the processing execution speed from being decelerated, and interruption responsiveness from getting worse, and to enable interruption processing at any arbitrary point of time.

SOLUTION: In an interruption synchronizing device for dual system, one and another systems A and B are respectively provided with counters 12 and 22 showing the proceeding states of programs in present systems, registers 13 and 23 for holding count values showing the processing states of programs in other systems, comparators 14 and 24 for comparing the count values in present systems with the count values in other systems held by the registers 13 and 23, and control parts 11 and 21 for permitting interruption to be executed in present systems and other systems when there is an interruption request and the comparators 14 and 24 show the count values indicating the proceeding states of programs in both the systems are mutually coincident.



LEGAL STATUS

[Date of request for examination] 26.06.2000

[Date of sending the examiner's decision of rejection] 30.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-326199

(43)公開日 平成10年(1998)12月8日

(51)Int.Cl.⁶
G 0 6 F 11/18
G 0 5 B 9/03
19/05
G 0 6 F 9/46
15/16
3 1 0
3 6 0
3 3 0

F I
G 0 6 F 11/18
G 0 5 B 9/03
G 0 6 F 9/46
15/16
G 0 5 B 19/05
3 1 0 F
3 6 0 F
3 3 0 C
L

審査請求 未請求 請求項の数2 O L (全7頁)

(21)出願番号 特願平9-137054

(22)出願日 平成9年(1997)5月27日

(71)出願人 000006622

株式会社安川電機

福岡県北九州市八幡西区黒崎城石2番1号

(72)発明者 池田 正規

福岡県北九州市八幡西区黒崎城石2番1号

株式会社安川電機内

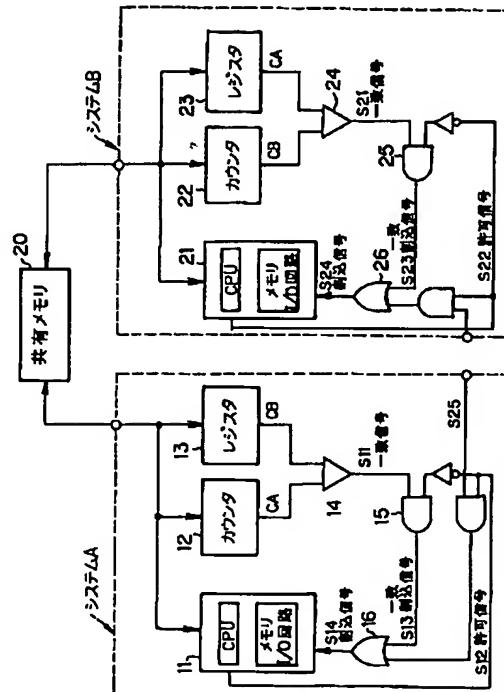
(74)代理人 弁理士 萩野 平 (外4名)

(54)【発明の名称】 デュアルシステムにおける割込同期装置

(57)【要約】 (修正有)

【課題】 プログラムの複雑化を回避するとともに、処理実行速度の低下及び割り込み応答性の悪化を回避し、かつ任意の時点での割り込み処理を可能にする。

【解決手段】 デュアルシステムにおける割込同期装置において、一方及び他方のシステムA、Bが、それぞれ、自システム内のプログラムの進行状態を示すカウント12、22と、他システム内のプログラムの進行状態を示すカウント値を保持するレジスタ13、23と、前記自システムのカウント値とレジスタ13、23で保持された前記他システムのカウント値とを比較する比較器14、24と、割込み要求があったときは、比較器14、24により、前記両システム内のプログラムの進行状態を示すカウント値が一致したときに、前記自システム及び前記他システムで実行される前記割込みを許可する制御手部11、21とを具備した。



【特許請求の範囲】

【請求項1】 一方及び他方のシステムで実行される各プログラムの同一タイミングで割り込み処理を実行するためのデュアルシステムにおける割込同期装置において、前記一方及び他方のシステムが、それぞれ、自システム内のプログラムの進行状態を示すカウント値を出力する計数手段と、他システム内のプログラムの進行状態を示すカウント値を保持する保持手段と、前記計数手段で計数された前記自システムのカウント値と前記保持手段で保持された前記他システムのカウント値とを比較する比較手段と、割込み要求があったときは、前記比較手段により、前記自システム内のプログラムの進行状態を示すカウント値と前記他システム内のプログラムの進行状態を示すカウント値とが一致したときに、前記自システム及び前記他システムで実行される前記割込みを許可する制御手段とを備えたことを特徴とするデュアルシステムにおける割込同期装置。

【請求項2】 前記自システムの前記カウント値が前記他システムの前記カウント値より小さいときは、前記自システムでプログラムを実行するとともに前記他システムでプログラムを中断し、前記自システムの前記カウンタ値と前記他システムの前記カウンタ値とが一致したときに前記割込みを許可し、前記自システムの前記カウント値が前記他システムの前記カウント値より大きいときは、前記自システムでプログラムを中断するとともに前記他システムでプログラムを実行し、前記自システムの前記カウンタ値と前記他システムの前記カウンタ値とが一致したときに前記割込みを許可することを特徴とする請求項1記載のデュアルシステムにおける割込同期装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一方及び他方のシステムで実行される各プログラムの同一タイミングで割り込み処理を実行するためのデュアルシステムにおける割込同期装置に関する。

【0002】

【従来の技術】 処理システムをデュアル構成とし、制御処理を実行している一方のシステムに障害が発生してダウンした場合に、制御処理を実行していない他方のシステムに切り替えて処理制御を継続して実行するデュアルシステムは、プログラムコントローラの障害対策として有効な手段である。このようなデュアルシステムでは、一方のシステムから他方のシステムへの即時に切り替える必要があるため、各処理システム内の処理状態を常に同一に維持しなければならない。このため、各処理システムは、一定周期で実行される同期命令により同期が確立されている。また、このようなデュアルシステムで

は、割込み処理についても各処理システムで同一タイミングで実行されねばならないため、各処理システム内のプログラムの実行ステップの同一位置で割込み信号を受け付ける必要がある。

【0003】 図3は従来のデュアルシステムにおける割込同期装置の構成を示すブロック図である。図3において、このデュアルシステムはシステムA、Bと、このシステムA、B間での同期命令実行時の同期を確立するための同期回路1を有している。システムA、Bはそれぞれ同一構成であり、システムAはCPU、メモリ、入出力(I/O)回路等を備えた制御部2aと、この制御部2aへの割り込み処理を実行するための割込信号Sa aを出力する割込回路3aとを備えている。システムBも同様であり、CPU、メモリ、入出力(I/O)回路等を備えた制御部2b及び割込回路3bを有している。

【0004】 次に、この従来例の動作について説明する。システムA、Bはプログラム中に一定間隔で配置された同期命令を実行し、この同期命令実行時に制御部2a、2bからの同期命令信号Sba、Sbbを同期回路2に送出する。この同期命令信号Sba、Sbbによって同期回路1がシステムA、B間の同期を確立する。システムA、B間の同期が確立した後に同期回路1がシステムA、Bへ割込許可信号Scを出力する。割込許可信号Scは、システムA、Bの各割込回路3a、3bに入力され、割込回路3a、3bから出力される割込信号Sa a、Sa bがそれぞれ制御部2a、2bに入力される。すなわち、プログラム処理による同期命令処理の終了後の同期が確立した状態で割り込みを受け付けている。

【0005】

【発明が解決しようとする課題】 このように上記従来例のデュアルシステムにおける割込同期装置では、プログラム中に同期命令を適当な一定間隔で配置する必要があり、このためプログラムが複雑化する。また、この同期命令を順次実行するために、システムの実行速度が低下する。さらに、割り込みの受け付けが割込命令実行時のみとなるため、任意の時点で割り込み処理ができるず、応答性が悪化する。換言すれば、従来例ではデュアル構成のプログラム

40 ブルコントローラ(PC)などでの確実かつ効率的な割り込み同期処理ができないという欠点がある。

【0006】 本発明は、上記事情に鑑みて成されたもので、プログラムの複雑化を回避するとともに、処理実行速度の低下及び割り込み応答性の悪化を回避し、かつ任意の時点での割り込み処理の可能にするデュアルシステムにおける割込同期装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明に係わるデュアルシステムにおける割込同期装置は、一方及び他方のシステムで実行される各プログラムの同一タイミングで割り

込み処理を実行するためのデュアルシステムにおける割込同期装置において、前記一方及び他方のシステムが、それぞれ、自システム内のプログラムの進行状態を示すカウント値を出力する計数手段と、他システム内のプログラムの進行状態を示すカウント値を保持する保持手段と、前記計数手段で計数された前記自システムのカウント値と前記保持手段で保持された前記他システムのカウント値とを比較する比較手段と、割込み要求があったときは、前記比較手段により、前記自システム内のプログラムの進行状態を示すカウント値と前記他システム内のプログラムの進行状態を示すカウント値とが一致したときに、前記自システム及び前記他システムで実行される前記割込みを許可する制御手段とを備えたものである。

【0008】さらに、本発明は、前記自システムの前記カウント値が前記他システムの前記カウント値より小さいときは、前記自システムでプログラムを実行するとともに前記他システムでプログラムを中断し、前記自システムの前記カウント値と前記他システムの前記カウント値とが一致したときに前記割込みを許可し、前記自システムの前記カウント値が前記他システムの前記カウント値より大きいときは、前記自システムでプログラムを中断するとともに前記他システムでプログラムを実行し、前記自システムの前記カウント値と前記他システムの前記カウント値とが一致したときに前記割込みを許可するものである。

【0009】このような構成の本発明では、一方及び他方のシステムでのプログラムの進行状態を示すカウント値が一致するまで、一方又は他方のシステムのプログラムの実行を中断して待機状態になり、待機後、一方及び他方のシステムでのカウント値が一致して一方及び他方のシステムの同期が確立した時点で割込みが許可される。

【0010】したがって、従来例のように、プログラム中に一定間隔で同期命令を配置する必要がなくなり、そのプログラムの複雑化が回避される。また、同期命令によるプログラム実行の遅延が生じなくなる。さらに、任意の時点で割り込み処理が実行可能であるため、割り込み処理の自由度が得られる。

【0011】

【発明の実施の形態】次に、本発明のデュアルシステムにおける割込同期装置の実施の形態を添付図面を参照して詳細に説明する。図1は本発明のデュアルシステムにおける割込同期装置の構成を示すブロック図である。図1において、このデュアルシステムにおける割込同期装置は、NC工作機械などを制御するデュアル構成のプログラマブルコントローラ(PC)などに適用されるものであり、非同期で動作するシステムA、Bと、このシステムA、Bに接続されて、システムA、B間でのデータ転送するための共有メモリ20とで概略構成されている。

【0012】システムA、Bは同一構成であり、システムAはCPU、メモリ、入出力(I/O)回路等を備えた制御部11と、プログラムの進行状態に対応してカウント値をアップするカウンタ12とを有している。さらに、システムBから取り込んだカウント値を記憶するためのレジスタ13と、カウンタ12のカウント値とレジスタ13からのカウント値とを比較する比較器14と、この比較器14からの一致信号S11と制御部11からの許可信号S12とをオア処理して一致割込信号S13を出力するオアゲート15と、オアゲート15からの一致割込信号S13と外部割込信号S25とをオア処理して割込信号S14を制御部11に出力するオアゲート16とを有している。

【0013】システムBも同様の構成であり、制御部21、カウンタ22、レジスタ23、比較器24及びORゲート25、26とで構成され、比較器24から一致信号S21が出力され、制御部11から許可信号S22が出力される。また、オアゲート25からの一致割込信号S23と外部割込信号S25とをオア処理して得られる割込信号S24が制御部21に出力される。

【0014】次に、実施形態の動作について説明する。なお、以下の説明における論理処理でのハイ(論理値1)レベル又はロー(論理値0)レベルの設定は、論理回路の構成によって、その変更が可能である。

【0015】最初に割り込みを実行しない通常動作時、例えば、外部割込信号S25がローレベルの場合の動作について説明する。以下、括弧内はシステムBでの構成要素の番号を示し、この括弧内を含む二つの構成要素が連記されている場合は、システムA、Bの対応する構成要素が同時に動作していることを示す。

【0016】割り込みを行わない通常動作時は、外部割込信号S25がローレベルに設定され、オアゲート16(26)の二つの入力端子がローレベルになるため、この出力端子からはローレベルの割込信号S14(S24)が制御部11(21)に送出される。すなわち、割り込み禁止状態となる。

【0017】割り込みを受け付けて実行する処理は外部割込信号S25がハイレベルに設定されることによって実行される。外部割込信号S25による割り込みは、同時にシステムA、Bで発生するが、システムA、Bは非同期動作であるため、システムA、Bがデータ処理を実行する際のクロック信号の周波数(位相)のばらつきによって、徐々に同期が取れない状態で動作することになる。この結果、割り込み発生時のシステムA、Bでのプログラム実行の進行位置が一致していないことになる。

【0018】以下、このような場合のシステムA、Bで同期を確立して、すなわち、プログラム実行位置を一致させて割り込みを受け付けて実行する、その動作について説明する。

【0019】図2は、システムA、Bが実行する割り込

みを一致させる処理手順を示すフローチャートである。図2において、まず、割り込み処理時は、許可信号S12 (S22) はハイレベルに設定されており、例えば、ハイレベルの外部割込信号S25がオアゲート16 (26) の一方の入力端子に入力される。この場合、オアゲート16 (26) の他方の入力端子がローレベルであり、制御部11 (21) にオアゲート16 (26) の出力端子からハイレベルの割込信号S14 (S24) が送出される。

【0020】制御部11 (21) が、この時点でのハイレベルの割込信号S14 (S24) によって、割り込み発生を認識し、制御部11 (21) がハイレベルの許可信号S12 (S22) をアンドゲート15 (25) の一方の入力端子に出力し、外部割込信号S25の取り込みを制御部11 (21) が停止する。この時点で、比較器14 (24) からの一致信号S11 (S21) はローレベルであるため、オアゲート15 (25) の出力端子からの一致割込信号S13 (S23) はローレベルとなる。

【0021】システムA (B) では、制御部11 (21) がメモリに格納されたプログラムを実行しており (S1) 、システムA (B) のカウンタ12 (22) が、制御部11 (21) のCPUがメモリをアクセスするごとに、プログラムの進行状態を示すカウント値CA (CB) を「+1」づつアップする (S2) 。このカウント値CAを制御部11が共有メモリ20を通じてシステムBに転送する (S3) 。

【0022】システムBでは、制御部21がシステムAからのカウント値CAを取り込み、レジスタ23に記憶し、かつ、自システムB内でのプログラムの進行状態を示すカウント値CBを共有メモリ20を通じてシステムAに転送し、システムAではシステムBからのカウント値CBを制御部11が取り込んでレジスタ13に記憶させる (S4, S5) 。

【0023】システムA (B) では比較器14 (24) がカウンタ12 (22) のカウント値CA (CB) とレジスタ13 (23) に記憶しているカウント値CB (CA) とを比較する (S6) 。ここで一致している場合 (S6: Yes) 、比較器14 (24) からハイレベルの一致信号S11 (S21) をアンドゲート15 (25) の一方の入力端子に出力する。

【0024】制御部11 (21) からのローレベルの許可信号S12 (S22) がアンドゲート15 (25) の他方の入力端子に入力されており、ここからハイレベルの一致割込信号S13 (S23) をオアゲート16 (26) の一方の入力端子に出力する。この結果、オアゲート16 (26) の出力端子からはハイレベルの割込信号S14 (S24) が制御部11 (21) に送出される。制御部11 (21) は、外部割込信号S25がハイレベルに設定された割り込みの認識後、許可信号S12 (S22) をローレベルに設定した後のハイレベルの割込信号S14 (S24) を取り込むことによって、システムA、Bのカウント値が等しいプログラムの進行状態が一致して同期が確立した時点でのシステムA、Bでの割り込みであると認識して、その割り込みを受け付けて実行する (S7) 。

【0025】S6で不一致の場合 (S6: No) 、次にシステムAの制御部11は、カウント値CAがシステムBから取り込んだカウント値CBより小さいか否かを判断する (S8) 。同様にシステムBの制御部21もカウント値CA、カウント値CBの値を判断する。ここでカウント値CAがカウント値CBより小さい場合、換言すれば、システムAのカウント値CAよりシステムBのカウント値CBが大きい場合 (S8: Yes) 、一旦、システムA、Bが割り込み処理を停止する (S9) 。さらに、システムBの制御部21が、自システムのプログラム実行の進行を示すカウント値CBが大きいことを認識してヘプログラム実行を停止させて待機状態にする (S10) 。

【0026】制御部11からハイレベルの許可信号S12がアンドゲート15の一方の入力端子に送出される (S11) 。この後、制御部11でプログラムが実行され、このプログラムの進行とともに、カウンタ12がカウント値CAを「+1」づつ増加する (S12, S13) 。この順次増加するカウント値CAを共通メモリ20を通じてシステムBへ転送し、順次、制御部21の制御レジスタ23に記憶している前回のカウント値CAを消去して上書きする (S14, S15) 。

【0027】システムA、Bでは、比較器14 (24) でカウンタ12 (22) からのカウント値CA (CB) とレジスタ13 (23) に格納しているカウント値CB (CA) とが比較器14 (24) で比較される (S16) 。比較器14 (24) はカウント値CA (CB) とカウント値CB (CA) とが一致した時点で、ハイレベルの一致信号S11 (S21) をアンドゲート15 (25) の一方の入力端子に送出する。ここでアンドゲート15 (25) は制御部11 (21) からローレベルの許可信号S12とハイレベルの一致信号S11とのアンド処理によってハイレベルの一致割込信号S13 (S23) を出力する。

【0028】ハイレベルの一致割込信号S13 (S23) がオアゲート16 (26) に入力され、この出力端子からハイレベルの割込信号S14 (S24) が制御部11 (21) に送出される。制御部11 (21) は、外部割込信号S25がハイレベルに設定された割り込みの認識後、許可信号S12 (S22) をローレベルに設定した後のハイレベルの割込信号S14 (S24) を取り込むことによって、システムA、Bのカウント値が等しいプログラムの進行状態が一致して同期が確立した時点でのシステムA、Bでの割り込みであると認識して、そ

の割り込みを受け付けて実行する。

【0029】次に、システムBの制御部21は、停止していたプログラム実行の進行を開始する(S17, S18)。S16でカウント値CA(CB)とカウント値CB(CA)とが一致しない場合は、S3に戻ってカウント値CAをシステムBに転送し、カウント値CA, CBが一致するまでルーチンを繰り返す。

【0030】このように、割り込み発生時にあって、システムAのカウント値CAがシステムBのカウント値CBより小さい場合は、システムA, Bが割り込み処理を、一旦、停止し、そのプログラムの進行でカウント値CAが増加してシステムBのカウント値CBに一致するまでシステムBが、プログラム実行の進行を停止する待機状態に設定され、この待機後にシステムA, Bでのプログラム実行位置が一致した時点でシステムA, Bでの割り込みを同期して実行する。

【0031】また、S8でカウント値CAがカウント値CBより大きい場合(S8:No)、前記の動作と反対にシステムAが、プログラム実行の進行を停止して待機状態になる。すなわち、一旦、システムA, Bが割り込み処理を停止する(S19)。さらに、システムAがプログラム実行の進行を停止させて待機状態になる(S20)。制御部11からローレベルの許可信号S12をアンドゲート15の一方の入力端子に送出する(S21)。

【0032】この後、制御部21でプログラムが実行され、このプログラム実行の進行とともに、カウンタ22がカウント値CBを「+1」づつ増加する(S22, S23)。この増加するカウント値CBを共通メモリ20を通じてシステムAへ転送し、順次、制御部11の制御レジスタ13に記憶している前回のカウント値CBを消去して上書きする(S24, S25)。

【0033】これ以降は比較器14(24)でカウンタ12(22)からのカウント値CA(CB)とレジスタ13(23)に格納しているカウント値CB(CA)とが比較器14(24)で比較される(S26)。この比較でカウント値CA(CB)とカウント値CB(CA)とが一致した時点、すなわち、システムA, BのシステムA, Bでのプログラム実行位置が一致する同期が取れた時点でシステムA, Bでの割り込みを受け付けて実行し、次に、システムAの制御部11は、停止していたプログラム実行の進行を開始する(S27, S28)。S26でカウント値CA(CB)とカウント値CB(CA)とが一致しない場合は、S3に戻ってカウント値CAをシステムBに転送し、カウント値CA, CBが一致するまでルーチンを繰り返す。

【0034】このようにシステムAのカウント値CAがシステムBのカウント値CBより大きい場合は、プログラム実行の進行でシステムAでのカウント値CAとシステムBでのカウント値CBに一致するまでシステムAが待機状態に設定される。

【0035】このように、この実施形態では、システムA, Bでのプログラムの実行の進行状態を示すカウント値を転送し、このカウント値が等しいシステムA, Bでのプログラム実行位置が一致した時点で、システムA, Bでの割り込みを同期させて、その受け付けを行って実行している。

【0036】

【発明の効果】以上の説明から明らかなように、本発明のデュアルシステムにおける割込同期装置によれば、割込み要求があったときに、一方及び他方のシステムでのプログラムの進行状態を示すカウント値が一致したときに割込みを実行し、またカウント値が一致しないときは、一方又は他方のシステムでのプログラムの進行を中断して待機状態となり、待機後、一方又は他方のシステムでのプログラム実行が進行して、カウント値が一致して一方及び他方のシステムの同期が確立した時点で割り込み処理が実行される。

【0037】この結果、従来のようにプログラム中に一定間隔で同期命令を配置する必要がなくなるためプログラムの複雑化が回避される。また、この同期命令によるプログラム実行の遅延が生じなくなる。さらに、任意の時点で割り込み処理可能であるため、割り込み処理の自由度が得られる。すなわち、処理実行速度の低下及び割り込み応答性の悪化を招くことなく、割り込み同期処理が可能になる。

【図面の簡単な説明】

【図1】本発明のデュアルシステムにおける割込同期装置の構成を示すブロック図である。

【図2】実施形態の動作の処理手順を示すフローチャートである。

【図3】従来のデュアルシステムにおける割込同期装置の構成を示すブロック図である。

【符号の説明】

11, 21 制御部

40 13, 23 レジスタ

12, 22 カウンタ

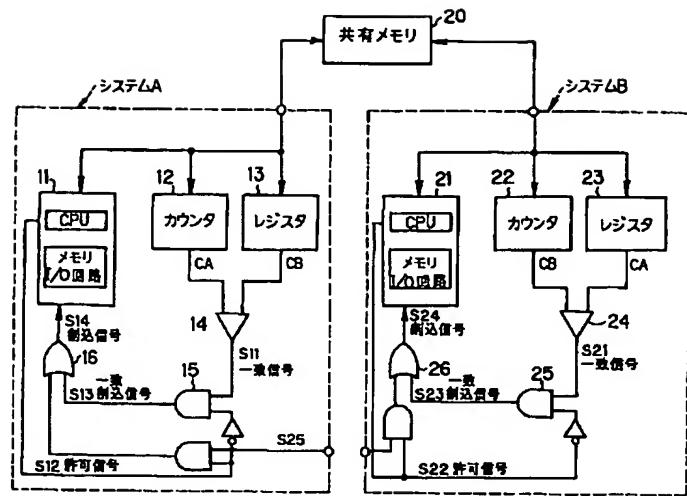
14, 24 比較器

15, 16, 25, 26 ORゲート

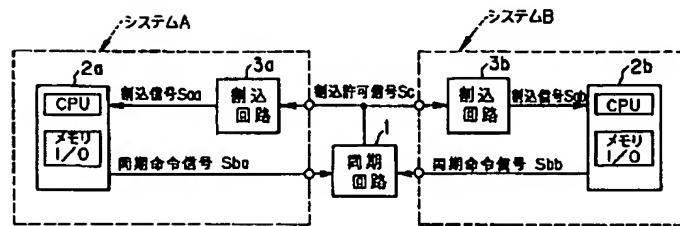
20 共有メモリ

A, B システム

【図1】



【図3】



【図2】

